

Docket No.: 50090-237

*#2*  
*B. Alexander*  
*4-2-01*  
PATENT

JC886 U.S. PTO

09/641352



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hidekazu NAGASAWA, et al.

Serial No.:

Group Art Unit:

Filed: August 18, 2000

Examiner:

For: DATA STORAGE APPARATUS AND DATA MEASURING APPARATUS

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-049150,  
filed February 25, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

*Stephen A. Becker*  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:klm  
**Date: August 18, 2000**  
Facsimile: (202) 756-8087



日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

McDermott, Will & Emery

G276US

50090-237

AUGUST 18, 2000

NABASAWA et al

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

JCS86 U.S. PRO  
09/641352  
08/18/00

出 願 年 月 日

Date of Application:

2000年 2月25日

出 願 番 号

Application Number:

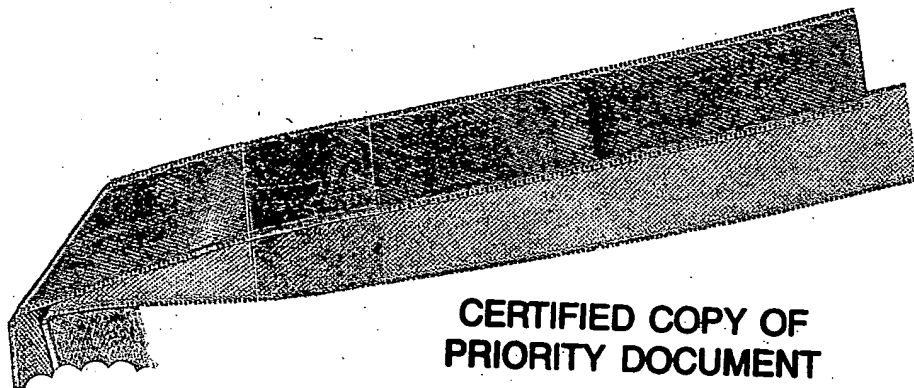
特願2000-049150

出 願 人

Applicant (s):

三菱電機株式会社

菱電セミコンダクタシステムエンジニアリング株式会社



CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 7月28日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3059942

【書類名】 特許願

【整理番号】 521576JP01

【提出日】 平成12年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00  
G01R 31/28

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 長澤 秀和

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 船倉 輝彦

【発明者】

    【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ  
ステムエンジニアリング株式会社内

    【氏名】 杉浦 和史

【発明者】

    【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ  
ステムエンジニアリング株式会社内

    【氏名】 森 長也

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【特許出願人】

    【識別番号】 591036505

    【氏名又は名称】 菱電セミコンダクタシステムエンジニアリング株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9911111

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ記憶装置、データ測定装置、半導体解析装置および半導体装置

【特許請求の範囲】

【請求項 1】 入力信号を所望の形式に変換するスクランブル回路と、変換後のデータを記憶する記憶装置とを備えるデータ記憶装置であって、

前記スクランブル回路は、

前記入力信号を互いに異なる規則で変換する複数の変換回路と、

前記複数の変換回路から出力される信号の一つを選択して前記記憶装置に供給するセレクタと、

を備えることを特徴とするデータ記憶装置。

【請求項 2】 入力信号を所望の形式に変換するスクランブル回路と、変換後のデータを記憶する記憶装置とを備えるデータ記憶装置であって、

前記スクランブル回路は、書き換え可能型デバイスで構成されることを特徴とするデータ記憶装置。

【請求項 3】 前記スクランブル回路は、

前記入力信号を互いに異なる規則で変換する複数の変換回路と、

前記複数の変換回路から出力される信号の一つを選択して前記記憶装置に供給するセレクタと、

を含むことを特徴とする請求項 2 記載のデータ記憶装置。

【請求項 4】 前記スクランブル回路は、A/Dコンバータの出力信号を処理するデジタルシグナルプロセッサを含むことを特徴とする請求項 1 乃至 3 の何れか 1 項記載のデータ記憶装置。

【請求項 5】 前記スクランブル回路は、外部から供給される指令に応じて、前記記憶装置の記憶位置を特定するアドレス信号を自動的に発生する自動アドレス発生回路を含むことを特徴とする請求項 1 乃至 4 の何れか 1 項記載のデータ記憶装置。

【請求項 6】 前記スクランブル回路は、前記記憶装置に記憶されているデータを、所望の形式に圧縮して出力する圧縮回路を含むことを特徴とする請求項

1 乃至 5 の何れか 1 項記載のデータ記憶装置。

【請求項 7】 請求項 1 乃至 6 の何れか 1 項記載のデータ記憶装置と、  
半導体装置を検査すると共に、その検査の結果を前記スクランブル回路に供給  
するテストと、  
を備えることを特徴とするデータ測定装置。

【請求項 8】 請求項 1 乃至 6 の何れか 1 項記載のデータ記憶装置と、  
半導体装置を検査すると共に、その検査の結果を前記スクランブル回路に供給  
するテストと、  
前記記憶装置に記憶されているデータを読み出して解析するための解析用コン  
ピュータと、  
を備えることを特徴とする半導体解析装置。

【請求項 9】 請求項 8 記載の半導体解析装置を用いて製造されたことを特  
徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、データ記憶装置、データ測定装置、半導体解析装置および半導体装  
置に係り、特に、特定の機能を実現する機能ブロックが複数搭載された半導体装  
置の解析に適したデータ記憶装置、データ測定装置、および半導体解析装置、並  
びにその半導体解析装置を用いて製造された半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

図 8 は、従来のデータ測定装置 1 0 と、その装置 1 0 に接続されたメモリ混載  
デバイス 1 2 とを表すブロック図を示す。メモリ混載デバイス 1 2 は、複数の機  
能ブロックを内蔵する半導体装置であり、図 8 では、S R A M (Static Random  
Access Memory)として機能する S R A M 部 1 4、D R A M (Dynamic Random Acc  
ess Memory)として機能する D R A M 部 1 6、フラッシュメモリとして機能する  
F L A S H 部 1 8、所定のアナログ回路で構成されるアナログ部 2 0、および所  
定のロジック回路で構成されるロジック部 2 2 を備えている。

## 【0003】

データ測定装置10は、テスト24、スクランブル回路26、および記憶装置28を備えている。テスト24の内部には、メモリ混載デバイス12を解析するために必要なテストパターンを発生するパターンジェネレータ30と、メモリ混載デバイス12が正常に機能しているか否かを判定する判定回路32とが搭載されている。

## 【0004】

パターンジェネレータ30は、より具体的には、メモリ混載デバイス12に対して、検査対象部位を特定するアドレス信号や種々の入力データを供給する。更に、パターンジェネレータ30は、メモリ混載デバイス12に供給するものと同じアドレスをスクランブル回路26にも供給し、かつ、判定回路32に対して、データ判定用の期待値を供給する。

## 【0005】

メモリ混載デバイス12のSRAM部14やDRAM部16或いはFLASH部18に含まれるメモリセルには、パターンジェネレータ30の要求に応じて適当なデータが書き込まれる。このようにしてメモリセルに書き込まれたデータは、パターンジェネレータ30の要求に応じて読み出され、判定回路32に供給される。判定回路32は、メモリ混載デバイス12の出力信号とデータ判定用期待値とを比較して、メモリ混載デバイス12が正常に機能しているか否かを判断し、その結果をスクランブル回路26に供給する。

## 【0006】

スクランブル回路26は、パターンジェネレータ30から供給されるアドレスを所定の規則に従って変換したり、判定回路32から供給されるエラーデータ等を所定の規則に従って加工したりする回路である。スクランブル回路26は、上記の処理により生成される変換後のアドレス信号や加工後のエラーデータ等を記憶装置28に供給する。その結果、記憶装置28には、加工後のエラーデータ等が、変換後のアドレス信号で特定される位置に記憶される。

## 【0007】

メモリ混載デバイス12に搭載されている数種のメモリブロックでは、それぞ

れ異なるアドレス指定方法が採られるのが通常である。また、それら数種のメモリブロックは、一般に、それぞれ異なる容量を有している。従って、パターンジェネレータ30から発せられるアドレス信号をそのまま記憶装置28に供給してエラーデータ等の記録位置を特定したのでは、複数種類のメモリブロックに関する情報を効率的に記録することはできない。

#### 【0008】

スクランブル回路26は、それら複数種類のメモリブロックに関する情報を、効率的に記憶装置28に記憶させるための回路であり、測定の対象であるメモリブロックの種類に応じて、それぞれ適切な規則でアドレス信号の変換やエラーデータ等の加工を行うことのできる複数の状態を実現することができる。より具体的には、スクランブル回路26は、外部から供給される切り替え信号に応じて、SRAM部14に関するデータを効率的に記憶させるための設定A、DRAM部16に関するデータを効率的に記憶させるための設定B、およびFLASH部18に関するデータを効率的に記憶させるための設定Cを適宜実現することができる。従って、データ測定装置10によれば、スクランブル回路26の設定を適当に変更することで、複数種類のメモリデバイスを内蔵するメモリ混載デバイス12の状態を連続的に測定し、また、その測定結果を効率的に記憶装置28に記憶させることができる。

#### 【0009】

##### 【発明が解決しようとする課題】

しかしながら、従来のスクランブル回路26は、その設定の変更に少なくとも数 $\mu$ secを必要としていた。また、現実に設定を変更する際には、その数 $\mu$ secの他に、設定情報の処理などに起因してより長期の停止時間が必要となる。半導体装置の検査は、数十nsec程度のテスト周期で行われるのが通常である。このため、従来のスクランブル回路26においては、半導体装置の検査の過程でリアルタイムに設定変更を行うことができなかった。

#### 【0010】

また、従来のスクランブル回路26では、実現可能な設定の種類が予め決定されている。このため、従来のスクランブル回路26は、種々の半導体装置に対し



て汎用的に用いることができなかった。スクランブル回路 26 の汎用性は、例えば、実現可能な設定の種類を数多く準備することで高めることができる。しかしながら、設定の種類を増やすためには、その切り替えに必要なピン数等も増やす必要がある。このため、予め設定の種類を数多く準備してスクランブル回路 26 の汎用性を高める手法にも一定の限界が存在する。

#### 【0011】

本発明は、上記のような課題を解決するためになされたもので、複数の機能ブロックに対応する設定を半導体装置の検査の過程でリアルタイムに変更し得るスクランブル回路を含むデータ記憶装置、データ測定装置、および半導体解析装置を提供することを第 1 の目的とする。

また、本発明は、実現可能な設定の内容および種類を、検査対象となる半導体装置の仕様に合わせて自由に構成することのできるスクランブル回路を含むデータ記憶装置、データ測定装置、および半導体解析装置を提供することを第 2 の目的とする。

更に、本発明は、上述したスクランブル回路を含む半導体解析装置を用いて製造される半導体装置を提供することを第 3 の目的とする。

#### 【0012】

##### 【課題を解決するための手段】

請求項 1 記載の発明は、入力信号を所望の形式に変換するスクランブル回路と、変換後のデータを記憶する記憶装置とを備えるデータ記憶装置であって、

前記スクランブル回路は、

前記入力信号を互いに異なる規則で変換する複数の変換回路と、

前記複数の変換回路から出力される信号の一つを選択して前記記憶装置に供給するセレクタと、

を備えることを特徴とするものである。

#### 【0013】

請求項 2 記載の発明は、入力信号を所望の形式に変換するスクランブル回路と、変換後のデータを記憶する記憶装置とを備えるデータ記憶装置であって、

前記スクランブル回路は、書き換え可能型デバイスで構成されることを特徴と

するものである。

【 0 0 1 4 】

請求項 3 記載の発明は、請求項 2 記載のデータ記憶装置であって、前記スクランブル回路は、前記入力信号を互いに異なる規則で変換する複数の変換回路と、前記複数の変換回路から出力される信号の一つを選択して前記記憶装置に供給するセレクタと、を含むことを特徴とするものである。

【 0 0 1 5 】

請求項 4 記載の発明は、請求項 1 乃至 3 の何れか 1 項記載のデータ記憶装置であって、前記スクランブル回路は、A/Dコンバータの出力信号を処理するデジタルシグナルプロセッサを含むことを特徴とするものである。

【 0 0 1 6 】

請求項 5 記載の発明は、請求項 1 乃至 4 の何れか 1 項記載のデータ記憶装置であって、前記スクランブル回路は、外部から供給される指令に応じて、前記記憶装置の記憶位置を特定するアドレス信号を自動的に発生する自動アドレス発生回路を含むことを特徴とするものである。

【 0 0 1 7 】

請求項 6 記載の発明は、請求項 1 乃至 5 の何れか 1 項記載のデータ記憶装置であって、前記スクランブル回路は、前記記憶装置に記憶されているデータを、所望の形式に圧縮して出力する圧縮回路を含むことを特徴とするものである。

【 0 0 1 8 】

請求項 7 記載の発明は、データ測定装置であって、請求項 1 乃至 6 の何れか 1 項記載のデータ記憶装置と、半導体装置を検査すると共に、その検査の結果を前記スクランブル回路に供給するテストと、を備えることを特徴とするものである。

【 0 0 1 9 】

請求項 8 記載の発明は、半導体解析装置であって、請求項 1 乃至 6 の何れか 1 項記載のデータ記憶装置と、半導体装置を検査すると共に、その検査の結果を前記スクランブル回路に供給するテストと、前記記憶装置に記憶されているデータを読み出して解析するための解析用コンピュータと、を備えることを特徴とする

ものである。

【 0 0 2 0 】

請求項 9 記載の発明は、半導体装置であって、請求項 8 記載の半導体解析装置を用いて製造されたことを特徴とするものである。

【 0 0 2 1 】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【 0 0 2 2 】

実施の形態 1.

図 1 は、本発明の実施の形態 1 の半導体解析装置と、その半導体解析装置に接続されたメモリ混載デバイス 1 2 とを表すブロック図を示す。半導体解析装置は、測定装置 2 4、スクランブル回路 3 4、記憶回路 2 8、第 2 記憶回路 3 6、および解析用コンピュータ 3 8 を備えている。尚、本明細書では、上述した構成要素から第 2 記憶装置 3 6 と解析用コンピュータ 3 8 を除いたものを「データ測定装置」と称し、また、データ測定装置から更に測定装置 2 4 を除いたものを「データ記憶装置」と称す。

【 0 0 2 3 】

半導体解析装置は、メモリ混載デバイス 1 2 の検査を実行し、例えばメモリ混載デバイス 1 2 に含まれるメモリセルの欠陥情報などを記憶装置 2 8 に記憶する。記憶装置 2 8 に記憶された情報は、適当なタイミングで第 2 記憶装置 3 6 に転送されて解析用コンピュータ 3 8 により解析される。尚、解析用コンピュータ 3 8 では、例えば、メモリ混載デバイス 1 2 を救済するための冗長救済解析、すなわち、欠陥のあるメモリセルを予め準備されている冗長セルに置き換えるために必要な解析などが行われる。

【 0 0 2 4 】

図 2 は、本実施形態のデータ測定装置と、その装置に接続されたメモリ混載デバイス 1 2 とを表すブロック図を示す。メモリ混載デバイス 1 2 は、複数の機能ブロックを内蔵する半導体装置であり、SRAM として機能する SRAM 部 1 4

、 D R A M として機能する D R A M 部 1 6、フラッシュメモリとして機能する F L A S H 部 1 8、所定のアナログ回路で構成されるアナログ部 2 0、および所定のロジック回路で構成されるロジック部 2 2 を備えている。

#### 【 0 0 2 5 】

データ測定装置は、上記の如く、テスト 2 4、スクランブル回路 3 4、および記憶装置 2 8 を備えている。テスト 2 4 の内部には、メモリ混載デバイス 1 2 を解析するために必要なテストパターンを発生するパターンジェネレータ 3 0 と、メモリ混載デバイス 1 2 が正常に機能しているか否かを判定する判定回路 3 2 とが搭載されている。

#### 【 0 0 2 6 】

パターンジェネレータ 3 0 は、より具体的には、メモリ混載デバイス 1 2 に対して、検査対象部位を特定するアドレス信号や種々の入力データを供給する。更に、パターンジェネレータ 3 0 は、メモリ混載デバイス 1 2 に供給するものと同じアドレスをスクランブル回路 3 4 にも供給し、かつ、判定回路 3 2 に対して、データ判定用の期待値を供給する。

#### 【 0 0 2 7 】

メモリ混載デバイス 1 2 の S R A M 部 1 4 や D R A M 部 1 6 或いは F L A S H 部 1 8 に含まれるメモリセルには、パターンジェネレータ 3 0 の要求に応じて適当なデータが書き込まれる。このようにしてメモリセルに書き込まれたデータは、パターンジェネレータ 3 0 の要求に応じて読み出され、判定回路 3 2 に供給される。判定回路 3 2 は、メモリ混載デバイス 1 2 の出力信号とデータ判定用期待値とを比較して、メモリ混載デバイス 1 2 が正常に機能しているか否かを判断し、その結果をスクランブル回路 3 4 に供給する。

#### 【 0 0 2 8 】

スクランブル回路 3 4 は、パターンジェネレータ 3 0 から供給されるアドレスを所定の規則に従って変換したり、判定回路 3 2 から供給されるエラーデータ等を所定の規則に従って加工したりする回路であり、本実施形態では、3 つの変換回路 4 0、4 2、4 4 とセレクタ 4 6 とを備えている。尚、スクランブル回路 3 4 は、それぞれ変換回路 4 0、4 2、4 4 やセレクタ 4 6 として機能する複数の

ＩＣの組み合わせであっても、或いはそれらが集約された１つのＩＣであってもよい。

#### 【0029】

変換回路４０は、ＳＲＡＭ部１４に関するアドレスやエラーデータ等を所定の形式に変換するための「設定Ａ」が施された回路である。変換回路４２は、ＤＲＡＭ部１６に関するアドレスやエラーデータ等を所定の形式に変換するための「設定Ｂ」が施された回路である。また、変換回路４４は、ＦＬＡＳＨ部１８に関するアドレスやエラーデータ等を所定の形式に変換するための「設定Ｃ」が施された回路である。

#### 【0030】

パターンジェネレータ３０から出力されるアドレス信号や、判定回路３２から出力されるエラーデータ等は、常に３つの変換回路４０、４２、４４に供給されており、それらの内部で並列に処理された後、セクタ４６が備える３つの入力端子に伝送される。セクタ４６には、テスト２４の検査の対象であるメモリブロックの種類に応じたセレクト信号が供給されている。セクタ４６は、そのセレクト信号に応じて、３つの変換回路４０、４２、４４から出力される信号の何れかを選択して出力する。

#### 【0031】

セクタ４４から出力される信号、すなわち、変換回路４０、４２、４４の何れかにより変換された後のアドレス信号やエラーデータ等は記憶装置２８に供給される。その結果、記憶装置２８には、加工後のエラーデータ等が、変換後のアドレス信号で特定される位置に記憶される。

#### 【0032】

メモリ混載デバイス１２に搭載されている数種のメモリブロックでは、それぞれ異なるアドレス指定方法が採られるのが通常である。また、それら数種のメモリブロックは、一般に、それぞれ異なる容量を有している。従って、パターンジェネレータ３０から発せられるアドレス信号をそのまま記憶装置２８に供給してエラーデータ等の記録位置を特定したのでは、複数種類のメモリブロックに関する情報を効率的に記録することはできない。

## 【 0 0 3 3 】

本実施形態では、スクランブル回路 3 4 が、アドレス信号やエラーデータ等を検査対象のメモリブロックの種類に応じて適正に変換して記憶装置 2 8 に供給する。このため、本実施形態によれば、複数種類のメモリブロックに関する情報を、効率的に記憶装置 2 8 に記憶させることができる。

## 【 0 0 3 4 】

以下、SRAM部 1 4 に関するデータ、DRAM部 1 6 に関するデータ、およびFLASH部 1 8 に関するデータが、どのようにして記憶装置 2 8 に記憶されるかについて、図 3 を参照して具体的に説明する。

図 3 (A) は記憶装置 2 8 のメモリ領域を 2 次元の平面で表した図である。また、図 3 (B) は、本実施形態において、記憶装置 2 8 のメモリ領域中に形成される区分の 1 例を表す図である。図 3 (A) に示すように、記憶装置 2 8 は 3 2 Mbit の容量を有しているとする。記憶装置 2 8 のメモリセルは、2 5 ビットのアドレス信号で特定することができる。以下、そのアドレス信号の各ビットを、最小位ビットから順に A 0 ~ A 2 4 と称す。

## 【 0 0 3 5 】

図 3 (B) に示す区分の例では、 $A 2 3 = 0$  の領域 (1 6 Mbit) が DRAM 用に割り当てられ、 $A 2 3 = 1$  かつ  $A 2 4 = 0$  の領域 (8 Mbit) が FLASH 用に割り当てられ、また、 $A 2 3 = 1$  かつ  $A 2 4 = 1$  の領域 (8 Mbit) が SRAM 用に割り当てられている。このような区分が用いられる場合、DRAM 用の設定 B が施されている変換回路 4 2 では、 $A 2 3$  が “0” に固定され、 $A 0 \sim A 2 2$  を対象としてアドレス信号のスクランブル処理が実行される。また、FLASH 用の設定 C が施されている変換回路 4 4 では、 $A 2 3$  が “1” に、かつ、 $A 2 4$  が “0” に固定され、 $A 0 \sim A 2 2$  を対象としてアドレス信号のスクランブル処理が実行される。そして、SRAM 用の設定 A が施されている変換回路 4 0 では、 $A 2 3$  が “1” に、かつ、 $A 2 4$  が “1” に固定され、 $A 0 \sim A 2 2$  を対象としてアドレス信号のスクランブル処理が実行される。その結果、SRAM部 1 4 に関するエラーデータ、DRAM部 1 6 に関するエラーデータ、およびFLASH部 4 4 に関するエラーデータ等は、それぞれ記憶装置 2 8 中の異なる領域

に記憶される。

【 0 0 3 6 】

本実施形態のデータ記憶装置では、メモリ混載デバイス 1 2 の S R A M 部 1 4 、 D R A M 部 1 6 、 および F L A S H 部 1 8 がテスト 2 4 により順次検査される過程で、変換回路 4 0 , 4 2 , 4 4 の何れかで生成されたスクランブル結果をセクタ 4 6 で選択して記憶回路 2 8 に供給することができる。セクタ 4 6 の切り替えは、半導体装置の検査に用いられるテスト周期（数 nsec）と同等以下の時間で行うことができる。従って、本実施形態のデータ記憶装置によれば、メモリ混載デバイス 1 2 の検査が進められる過程で、検査対象であるメモリブロックの変更とセクタ 4 6 の切り替えとを同期させながら、個々のメモリブロックに関するエラーデータ等を記録することができる。

【 0 0 3 7 】

上述の如く、本実施形態のデータ測定装置によれば、種類の異なる複数のメモリブロックを含むメモリ混載デバイス 1 2 の検査を連続的に実行しつつ、個々のメモリブロックについて得られるエラーデータ等を、メモリブロック毎に異なる領域に、高速で記憶させることができる。

【 0 0 3 8 】

従来のデータ測定装置では、スクランブル回路の設定を切り替えるのにある程度の時間が必要であるため、高速記憶を可能とするためにはスクランブル回路の設定を単一の設定に固定しておく必要がある。この場合、メモリ混載デバイス 1 2 に含まれる複数のメモリブロックに関するエラーデータ等を、メモリブロック毎に識別し得る状態で記憶装置 2 8 に記憶させることは必ずしも容易ではない。また、個々のメモリブロックについて救済解析を行うためには、通常のセルに関するエラーデータと、冗長セルに関するエラーデータとを区別して認識する必要があるが、スクランブル回路の設定が単一である場合は、それらのデータを区別し得る状態で記憶装置 2 8 に記憶させることも容易ではない。このため、従来のデータ測定装置を用いてエラーデータ等の高速記録を行おうとする場合には、テストパターンの作成が極めて難しくなるといった問題が生じていた。

【 0 0 3 9 】

これに対して、本実施形態のデータ測定装置では、メモリブロックの種類に応じて、スクランブル回路 3 4 が自動的に処理の内容を変化させるため、テストパターンを作成する際に、エラーデータの記憶領域の分割等を考慮する必要がない。このため、本実施形態のデータ測定装置によれば、メモリ混載デバイス 1 2 の検査プログラムの開発時間を短縮し得るといった効果も得ることができる。

#### 【 0 0 4 0 】

ところで、上述した実施の形態 1 では、セクタ 4 6 が、テストから発せられるセレクト信号に基づいて変換回路 4 0, 4 2, 4 4 の選択を行っているが、本発明はこれに限定されるものではない。すなわち、スクランブル回路 3 4 は、パターンジェネレータ 3 0 から供給されるアドレス信号に基づいて、検査対象のメモリブロックの種類を識別することができる。このため、セクタ 4 6 の切り替えは、パターンジェネレータ 3 0 から供給されるアドレス信号に基づいて行うこととしてもよい。

#### 【 0 0 4 1 】

実施の形態 2.

次に、図 4 を参照して本発明の実施の形態 2 について説明する。図 4 (A) は、従来のデータ記憶装置の構造を模式的に表した図を示す。また、図 4 (B) は、本実施形態のデータ記憶装置の構造を模式的に表した図を示す。図 4 (A) に示すように、従来のデータ記憶装置では、外部から設定値（スクランブル用のパラメータ）の供給を受けて設定を変化させるスクランブル回路 2 6 が用いられている。このようなスクランブル回路 2 6 は、予め準備されているいくつかの選択肢の中で機能を変化させることができる。

#### 【 0 0 4 2 】

図 4 (B) に示すように、本実施形態のデータ記憶装置では、FPGA (Field Programmable Gate Array) や CPLD (Complex Programmable Logic Device) といった書き換え可能型デバイスで構成されたスクランブル回路 5 0 が用いられる。本実施形態では、測定対象（半導体装置）の仕様に応じたスクランブル処理の実行に適した回路構造をスクランブル回路 5 0 の外で設計・構成し、その構造を書き換え可能型デバイスに書き込むことでスクランブル回路 5 0 を実現する



ことができる。

#### 【 0 0 4 3 】

書き換え可能型デバイスは、何度でも内部の回路構成を変更することができ、また、内蔵するゲート数が許す限り様々な同期式論理回路を構成できるという利点を有している。従って、スクランブル回路 5 0 によれば、種々の半導体装置に最適な回路構造を繰り返し実現することができる。このため、本実施形態の構造によれば、自由度が高く、汎用性に優れたデータ測定装置を実現することができる。

#### 【 0 0 4 4 】

ところで、本実施形態のスクランブル回路 5 0 には、実施の形態 1 の場合と同様に、複数の変換回路やセレクタなどを内蔵させることができる。従って、スクランブル回路 5 0 によれば、実施の形態 1 におけるスクランブル回路 3 4 が奏するのと同様の効果を得ることができる。

#### 【 0 0 4 5 】

実施の形態 3.

次に、図 5 を参照して本発明の実施の形態 3 について説明する。図 5 は、本実施形態のデータ測定装置と、その装置に接続されたメモリ混載デバイス 1 2 とを表すブロック図を示す。データ測定装置は、A/D コンバータ 5 2 を内蔵するテスト 5 4 と、書き換え可能型デバイスで構成されたスクランブル回路 5 0 と、記憶装置 2 8 とを備えている。本実施形態において、スクランブル回路 5 0 には、複数の変換回路 5 6 - 1 ~ 5 6 - n と、DSP (Digital Signal Processor) 回路 5 8 とが構成されている。

#### 【 0 0 4 6 】

本実施形態のデータ測定装置は、実施の形態 1 または 2 の場合と同様の手順で、メモリ混載デバイス 1 2 に搭載されるメモリブロック 1 4, 1 6, 1 8 に関するエラーデータ等を記憶装置 2 8 に記憶することができる。また、本実施形態のデータ測定装置は、メモリ混載デバイス 1 2 のロジック部 2 2 (図 2 参照) から出力される信号をスクランブル回路 5 0 内の DSP 回路 5 8 で処理した後に記憶装置 2 8 に記憶することができる。更に、本実施形態のデータ測定装置は、メモ

リ混載デバイス 12 のアナログ部 20 から出力される信号を、テスト 54 内の A/D コンバータ 52 およびスクランブル回路 50 内の DSP 回路 58 で処理した後に、記憶装置 28 に記憶することができる。つまり、本実施形態のデータ測定装置は、メモリブロック 14, 16, 18 に含まれるメモリセルの欠陥情報を記憶装置 28 に記憶させることができると共に、所定の入力に対してアナログ部 20 やロジック部 22 が出力する信号を、記憶装置 28 に記憶することができる。

#### 【0047】

メモリブロックと共にアナログ部やロジック部が単一の半導体装置に含まれている場合、メモリブロックの検査と、アナログ部の検査と、ロジック部の検査とは、従来、異なるテストを用いて別々に行われていた。これに対して、本実施形態のデータ測定装置によれば、複数のメモリブロック 14, 16, 18 の検査と、アナログ部 20 の検査と、ロジック部 22 の検査とを連続的に実行し、かつ、それらの検査の結果を高速で記憶装置 28 に記憶することができる。従って、本実施形態のデータ測定装置によれば、メモリ混載デバイスの検査を効率的に実行することができる。

#### 【0048】

ところで、上述した実施の形態 3 では、変換回路 56-1 ~ 56-n、セレクタ 46、および DSP 回路 58 を含むスクランブル回路 50 を書き換え可能型デバイスで構成しているが、本発明はこれに限定されるものではなく、スクランブル回路 50 の全部或いは一部は、書き換えのできない固定型デバイスで構成してもよい。

#### 【0049】

実施の形態 4.

次に、図 6 を参照して本発明の実施の形態 4 について説明する。図 6 は、本実施形態のデータ記憶装置の構造を説明するためのブロック図を示す。本実施形態のデータ記憶装置は、書き換え可能型デバイスで構成されたスクランブル回路 50 と記憶装置 28 とを備えている。本実施形態において、スクランブル回路 50 には、外部からの指令に応じて自動的にアドレスやデータを発生して記憶装置 28 に供給する自動アドレス発生回路 60 が含まれている。

## 【0050】

記憶装置28が正常にデータを記憶できる状態にあるか否かを検査する場合、従来は、スクランブル回路50等とは異なる他の機器を記憶装置28に接続し、その機器からアドレス信号やデータを記憶装置28に供給した後に、記憶内容が期待値と一致するか否かを診断していた。これに対して、本実施形態のようにスクランブル回路50に自動アドレス発生回路60を内蔵させると、データ記憶装置単体で記憶装置28の診断を実行することができる。このように、本実施形態の構造によれば、記憶装置28の自動診断機能をスクランブル回路50に付加することができ、動作前の簡易チェックなどを高速に実行し得るデータ記憶装置を実現することができる。

## 【0051】

ところで、上述した実施の形態4では、自動アドレス発生回路60を含むスクランブル回路50を書き換え可能型デバイスで構成しているが、本発明はこれに限定されるものではなく、スクランブル回路50の全部或いは一部は、書き換えるできない固定型デバイスで構成してもよい。

## 【0052】

実施の形態5.

次に、図7を参照して本発明の実施の形態5について説明する。図7は、本実施形態の半導体解析装置のブロック図を示す。本実施形態の半導体解析装置は、書き換え可能型デバイスで構成されたスクランブル回路50の中に、圧縮回路62を備えている。圧縮回路62は、記憶装置28に記憶されているデータを、解析用コンピュータ38にとって扱い易い形式に圧縮して出力するためのハードウェア構成を有している。

## 【0053】

スクランブル回路50は、実施の形態1乃至4の場合と同様に、テスト24から供給されるアドレス信号やエラーデータ等処理して記憶装置28に供給する。記憶装置28に記憶されたデータは、適当なタイミングで解析用コンピュータ38に読み出されて解析される。ここで、記憶装置28が大きな容量を有している場合は、解析用コンピュータ38が読み出すべきデータ量が膨大となり、解析

データをファイル化する際などにデータの圧縮が必要となる。

【 0 0 5 4 】

従来の半導体解析装置では、記憶装置 2 8 内のデータが解析用コンピュータ 3 8 に読み出された後に、解析用コンピュータ 3 8 の内部でソフトウェアを利用した圧縮処理が行われていた。これに対して、本実施形態の半導体解析装置は、記憶装置 2 8 から解析用コンピュータ 3 8 にデータが読み出される際に、スクランブル回路 5 0 内の圧縮回路 6 2 でそのデータをハードウェア的に圧縮することができる。このため、本実施形態によれば、解析用コンピュータ 3 8 の処理負荷を軽減して、解析用コンピュータ 3 8 によるデータ解析に必要な時間を短縮することができる。

【 0 0 5 5 】

ところで、上述した実施の形態 5 では、変換回路 4 0, 4 2, 4 4、セクタ 4 6、および圧縮回路 6 2 を含むスクランブル回路 5 0 を書き換え可能型デバイスで構成しているが、本発明はこれに限定されるものではなく、スクランブル回路 5 0 の全部或いは一部は、書き換えのできない固定型デバイスで構成してもよい。

【 0 0 5 6 】

【発明の効果】

この発明は以上説明したように構成されているので、以下に示すような効果を奏する。

請求項 1 または 3 記載の発明によれば、入力信号を複数の変換回路で並列的に処理し、セクタで適当な信号を選択して記憶装置に記憶させることができる。入力信号に対する所望の変換規則が変化した場合に、セクタの切り替えは高速で行うことができる。このため、本発明によれば、入力信号の種類が変化するような場合にも、それぞれの入力信号を適切に変換して記憶装置に高速で記憶させることができる。

【 0 0 5 7 】

請求項 2 記載の発明によれば、スクランブル回路が書き換え可能型デバイスで構成されるため、スクランブル回路のハードウェア構成に高い自由度を確保する

ことができる。このため、本発明によれば、汎用性に優れたデータ測定装置を実現することができる。

【0058】

請求項4記載の発明によれば、スクランブル回路に、ADコンバータからの出力信号を処理し得るデジタルシグナルプロセッサが含まれている。このため、本発明によれば、アナログ信号に含まれる情報を適当な形式に変換して記憶装置に記憶することができる。

【0059】

請求項5記載の発明によれば、スクランブル回路に自動アドレス発生回路が含まれている。このため、本発明によれば、スクランブル回路に適当な指令を供給することで、記憶装置のアドレスを自動的に指定することができる。従って、本発明によれば、記憶装置の自動診断機能を有するデータ記憶装置を実現することができる。

【0060】

請求項6記載の発明によれば、スクランブル回路に、記憶装置内のデータを適当な形式に圧縮する圧縮回路が含まれている。このため、本発明によれば、記憶装置内のデータを適当な形式に圧縮して出力するデータ測定装置を実現することができる。

【0061】

請求項7記載の発明によれば、請求項1乃至6の何れか1項記載のデータ記憶装置を備えるデータ測定装置を提供することができる。

【0062】

請求項8記載の発明によれば、請求項1乃至6の何れか1項記載のデータ記憶装置を備える半導体解析装置を提供することができる。

【0063】

請求項9記載の発明によれば、請求項8記載の半導体解析装置を用いて製造される半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体解析装置と、その半導体解析装置

に接続されたメモリ混載デバイスとを表すブロック図である。

【図 2】 実施の形態 1 の半導体解析装置に含まれるデータ測定装置と、その装置に接続されたメモリ混載デバイスとを表すブロック図である。

【図 3】 実施の形態 1 の半導体解析装置に含まれる記憶装置のメモリ領域と、その中に形成される区分の 1 例を表す図である。

【図 4】 従来のデータ記憶装置の構造を模式的に表した図、および本発明の実施の形態 2 のデータ記憶装置の構造を模式的に表した図である。

【図 5】 本発明の実施の形態 3 のデータ測定装置と、その装置に接続されたメモリ混載デバイスとを表すブロック図である。

【図 6】 本発明の実施の形態 4 のデータ記憶装置の構造を説明するためのブロック図を示す。

【図 7】 本発明の実施の形態 5 の半導体解析装置のブロック図を示す。

【図 8】 従来のデータ測定装置と、その装置に接続されたメモリ混載デバイスとを表すブロック図である。

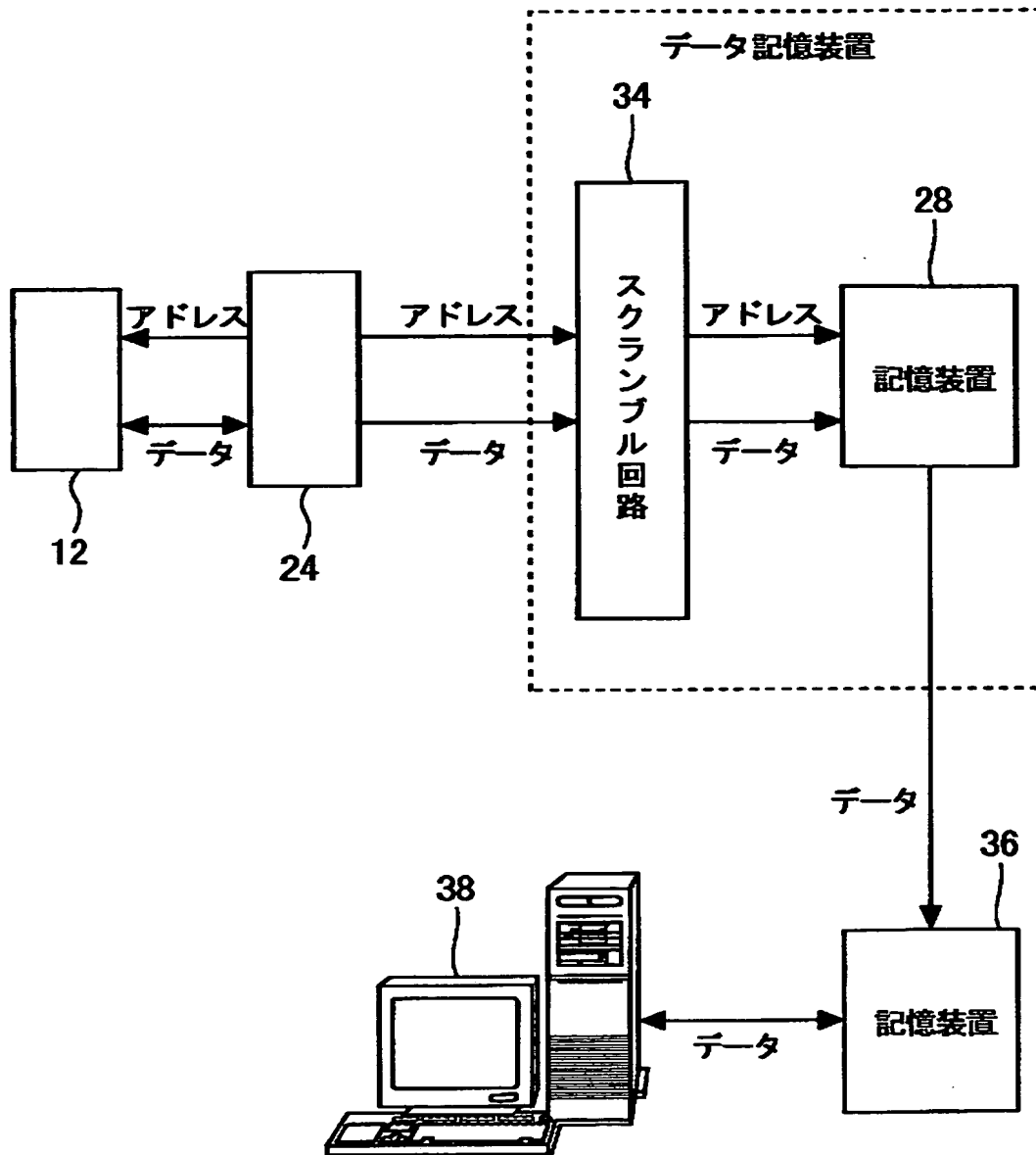
【符号の説明】

1 2   メモリ混載デバイス、      1 4   SRAM部、      1 6   DRAM部、  
       1 8   FLASH部、      2 0   アナログ部、      2 2   ロジック部、      2  
 4 ; 5 4   テスト、      2 8   記憶装置、      3 0   パターンジェネレータ、  
       3 2   判定回路、      3 4 ; 5 0   スクランブル回路、      3 6   第 2 記憶装  
 置、      3 8   解析用コンピュータ、      4 0 , 4 2 , 4 4 ; 5 6 - 1 ~ 5 6 -  
 n   変換回路、      4 6   セレクタ、      5 2   ADコンバータ、      5 8   D  
 SP (デジタルシグナルプロセッサ)、      6 0   自動アドレス発生回路、  
 6 2   圧縮回路。

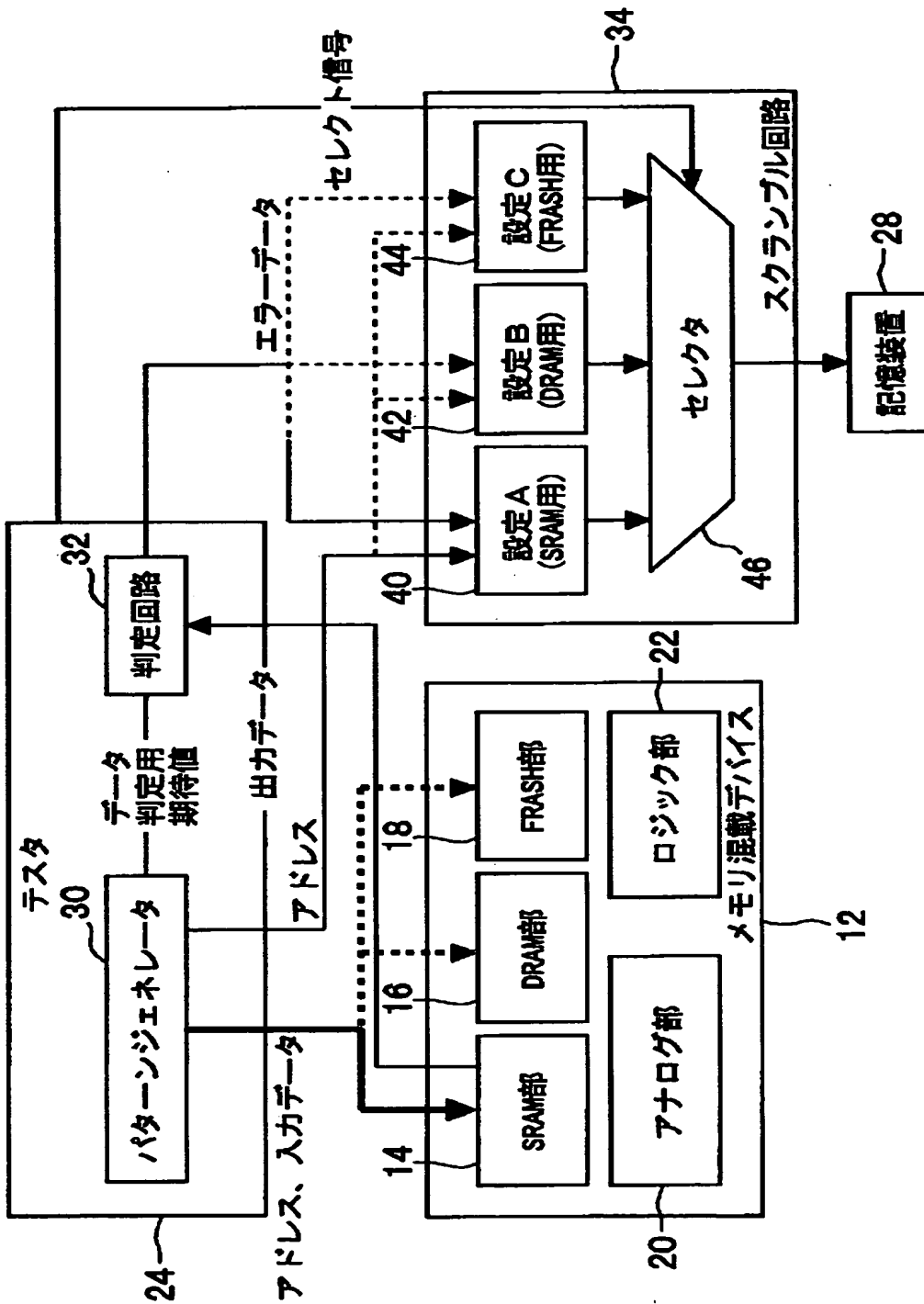
【書類名】

図面

【図 1】

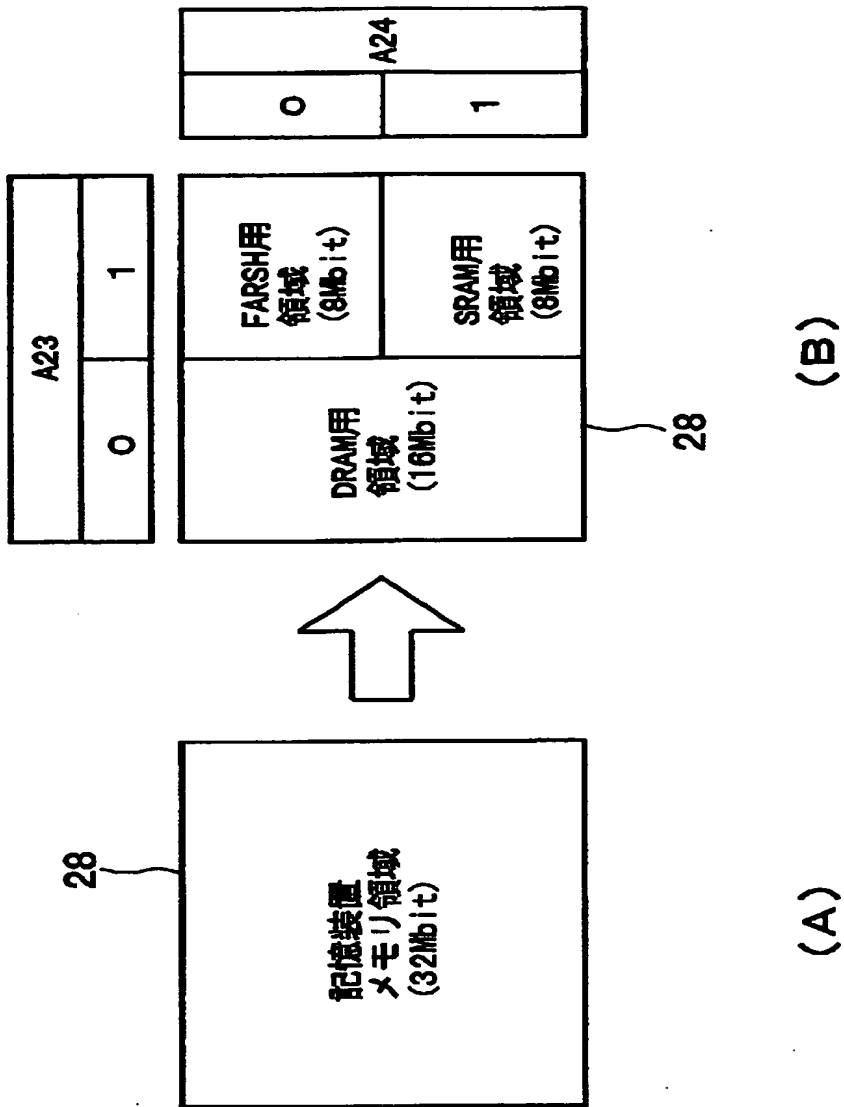


【図2】

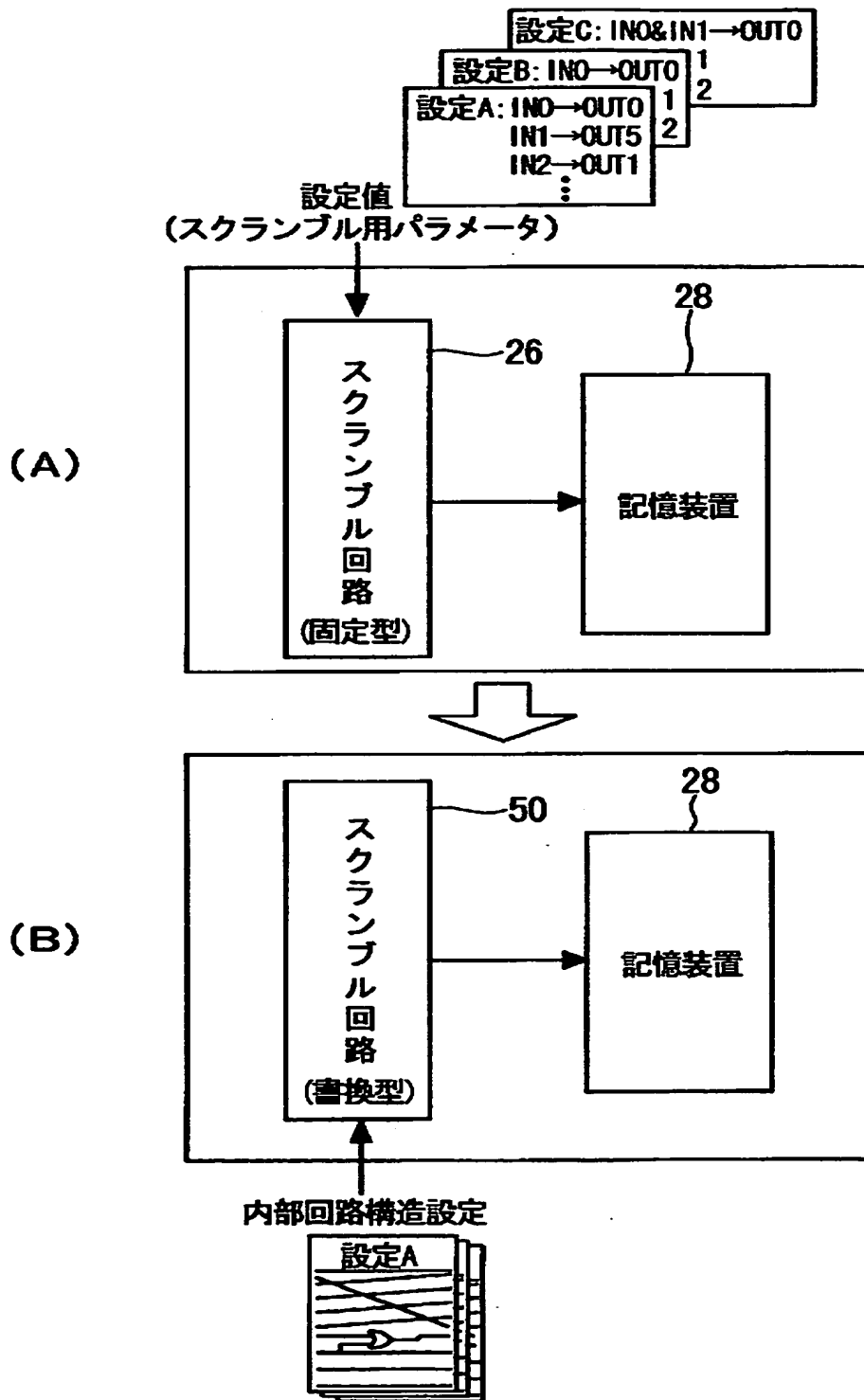




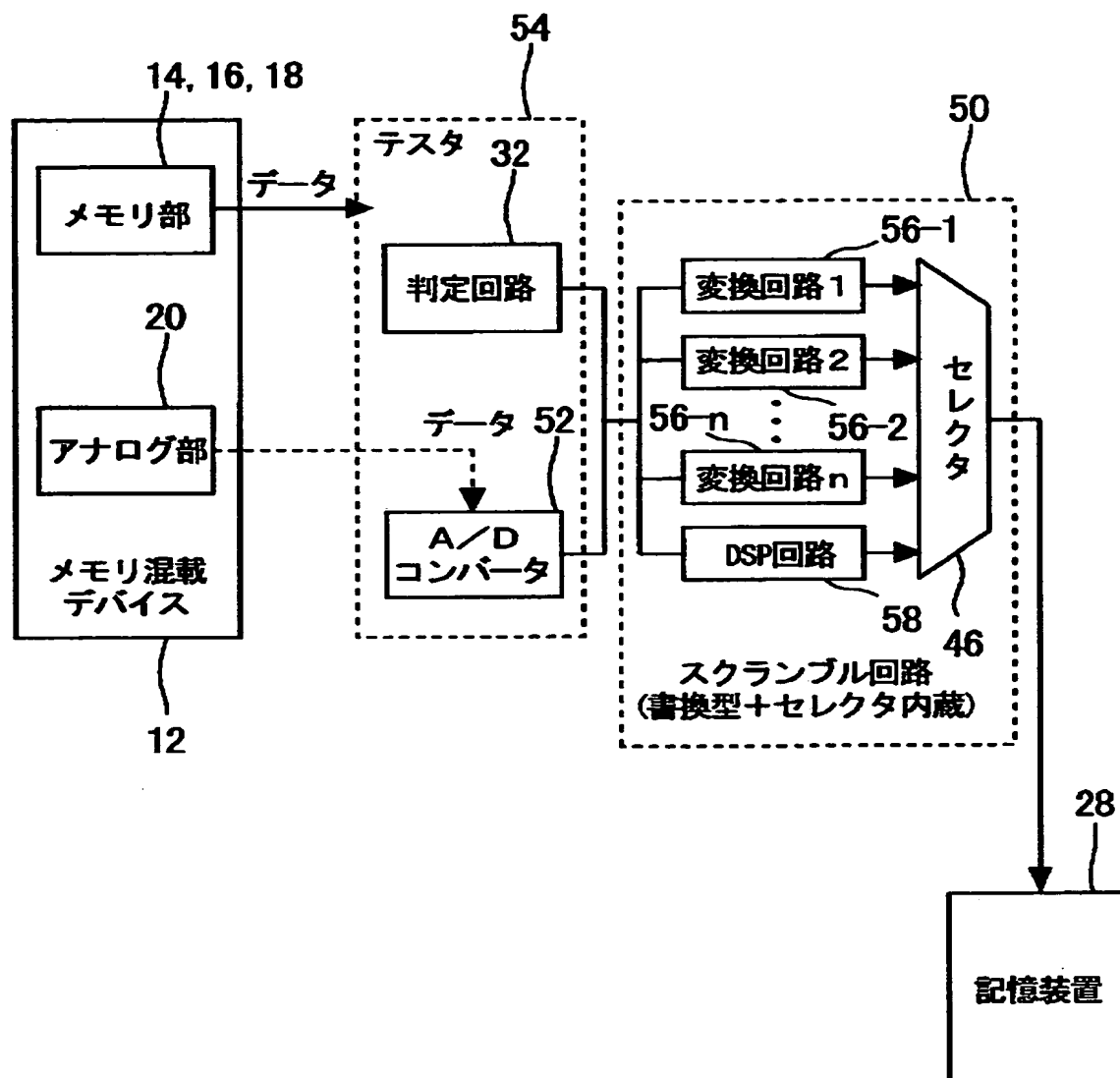
【図 3】



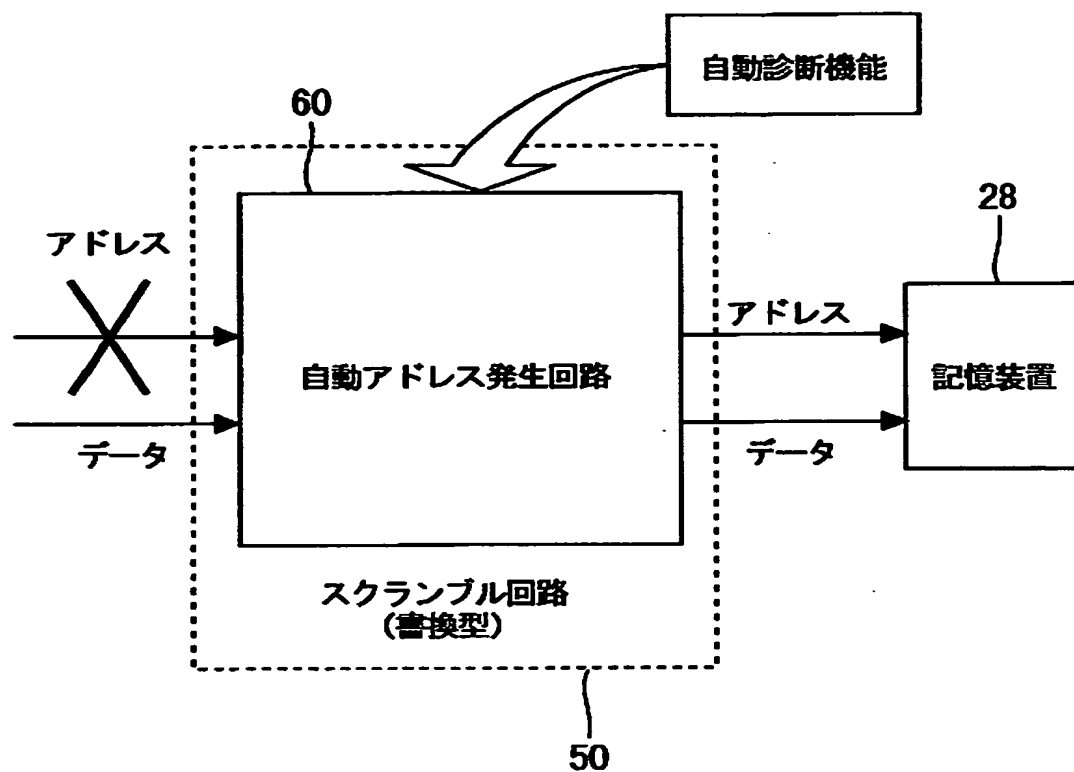
【図 4】



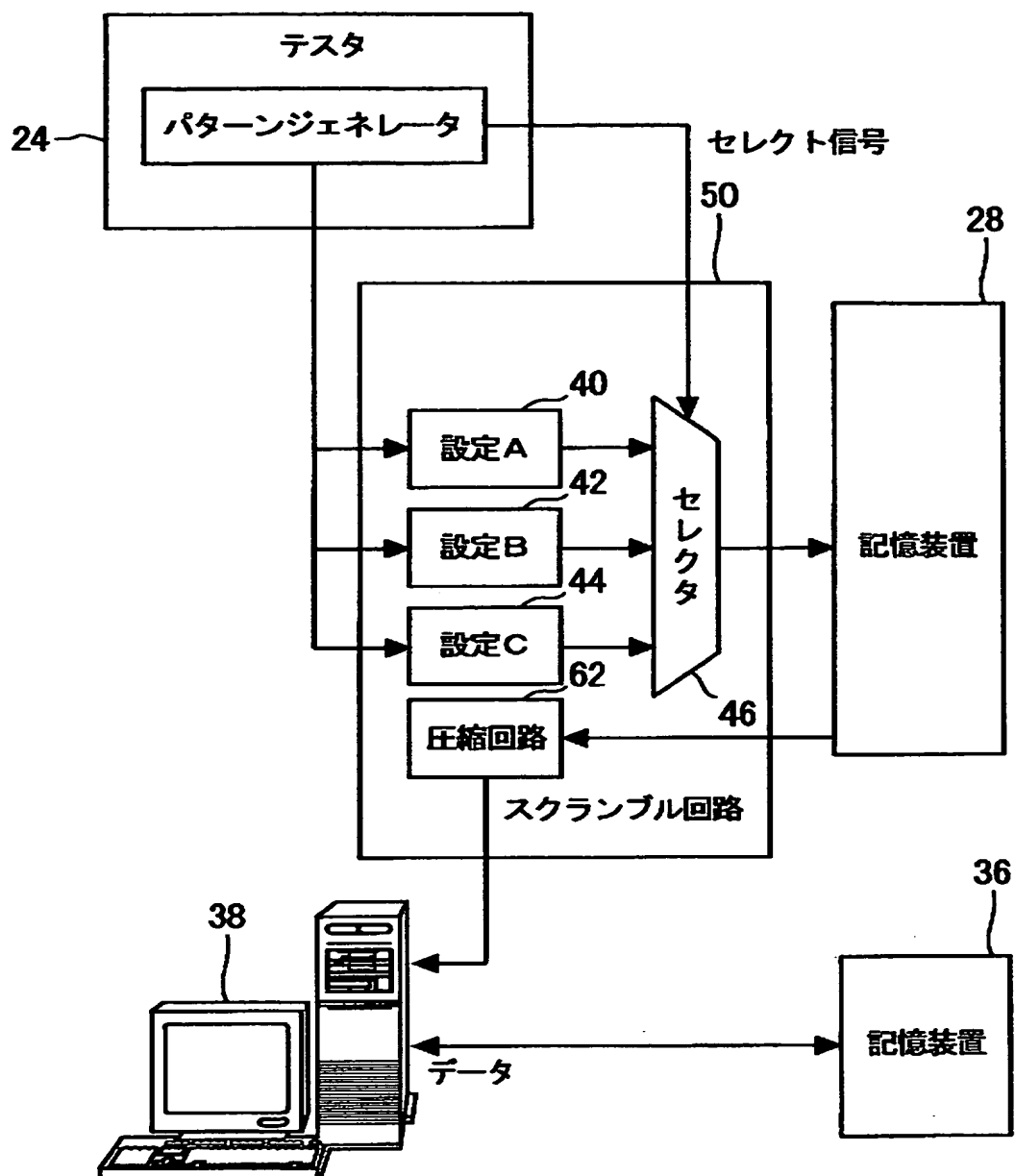
【図5】



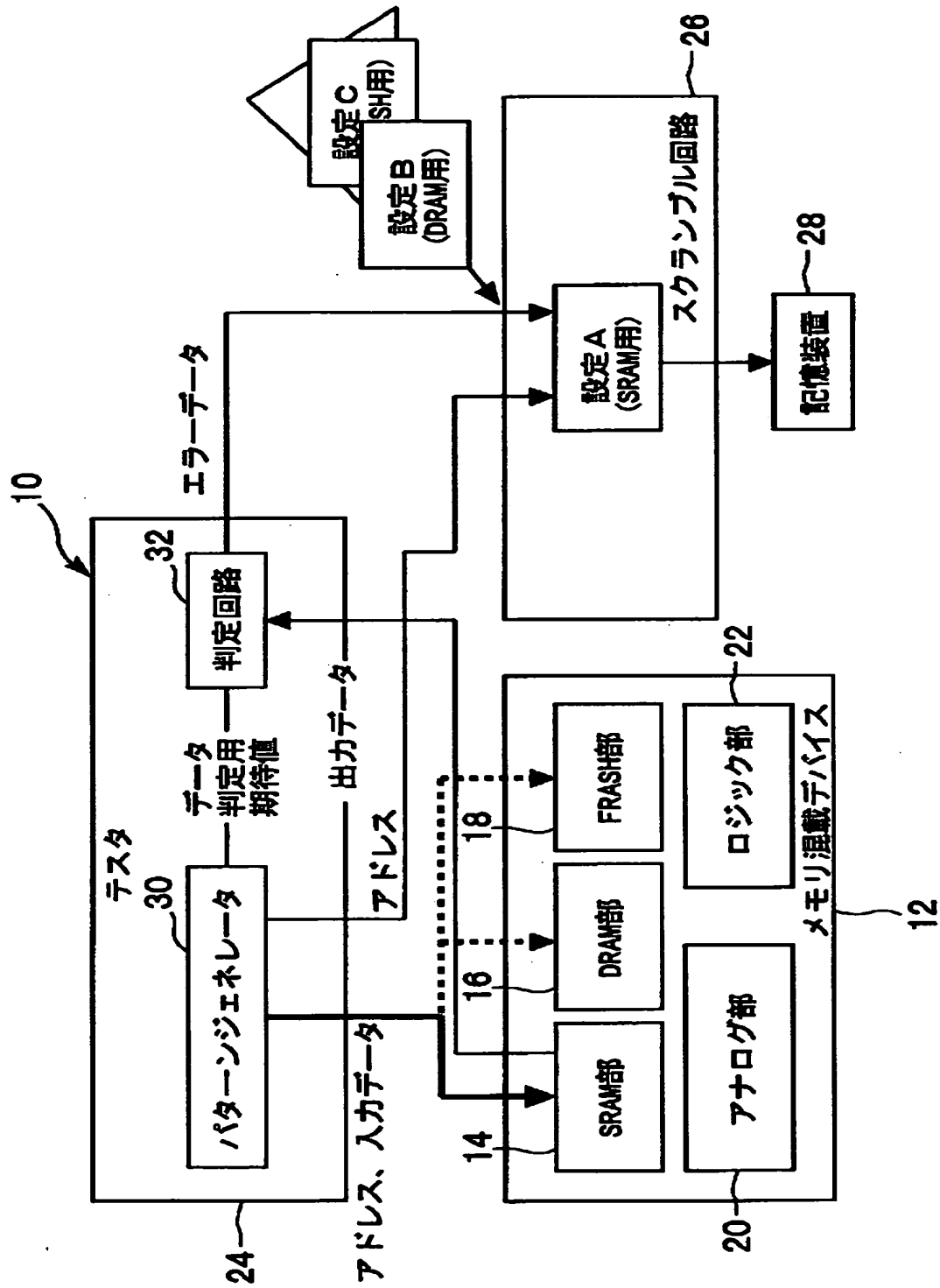
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 本発明は複数の機能ブロックが搭載された半導体装置の解析に適したデータ記憶装置に関し、スクランブル回路の設定を半導体装置の検査過程でリアルタイムに変更できるようにすることを目的とする。

【解決手段】 テスタ 2 4 から出力されるアドレス信号やエラーデータを所望の形式に変換するスクランブル回路 3 4 と、変換後のデータを記憶する記憶装置 2 8 とを設ける。スクランブル回路は、テスタ 2 4 からの信号を互いに異なる規則で変換する複数の変換回路 4 0, 4 2, 4 4 と、それらの変換回路 4 0, 4 2, 4 4 から出力される信号の一つを選択して記憶装置に供給するセレクタ 4 6 とを備える。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社



出 願 人 履 歴 情 報

識別番号 [591036505]

1. 変更年月日 1991年 2月26日

[変更理由] 新規登録

住 所 兵庫県伊丹市瑞原4丁目1番地

氏 名 菱電セミコンダクタシステムエンジニアリング株式会社